

SSGK5 DATA SHEET

(REV1.0 2017-3-17)



北京软石智控科技有限公司

感谢您使用软石科技产品！

为了您顺利、正确的使用本产品，请您在使用前详细阅读《使用说明书》。如有关于产品的建议或需要技术支持请与我们联系。

目 录

1	产品概述.....	1
2	MCU 单元特性.....	1
3	MCU 管脚说明.....	2
4	FPGA 配置说明.....	4
5	FPGA 外部管脚输出.....	4
6	SDRAM 说明.....	11
7	SSGK5 配置说明.....	13
8	SSGK5 芯片封装图.....	13

1 产品概述

SSGK5 器件是 MCU+FPGA+SDRAM 的 SoC 单芯片产品。

MCU 内核为支持 80MHz 主频的 ARM Cortex M3。

SDRAM 支持最高 133MHz 的时钟频率，32 位数据总线，容量为 64Mbit。

由内部逻辑资源构建的 RGB 24 位接口的 LCD 控制器、32 位数据总线的 SDRAM 控制器、32 位硬件 Alpha 透明通道渲染器，4 通道 32 位 DMA2D 内存直接存取控制器，为用户在其产品中实现低成本、高性能的图形用户交互控制与显示。

由于其可重建的内部逻辑资源，可为用户提供深度定制的外设。

2 MCU 单元特性

- 内核 ARM32 位的 Cortex M3 CPU

1. 最高 80 Mhz 工作频率
2. 单周期乘法和硬件除法
3. 集成的嵌套式的中断控制器（NVIC）提供确定性的中断处理

- 高达 96K 字节的 SRAM

1. 64k 字节的程序 RAM
2. 32k 字节的数据 RAM

- 调试模式

1. 串行调试模式（SWP）和 JTAG 接口
2. Cortex M3 内嵌跟踪模块（ETM）

- 定时器

1. 两个定时器，每个可被配置为一个 32 位的定时器或两个 16 位的定时器
2. 独立的看门狗定时器

- GPIO

- 3 组 GPIO，每组 GPIO 是 8bit，取决于用户的配置

- 通信接口

1. SPI 接口，用于访问程序存储器 FLASH，支持 Quad 快速读写模式

2. I2C 总线，提供 400K 或 1M 的总线时钟频率。
3. Uart 接口，最高可达 2Mbps 的通讯速率。
4. 访问外设的 AHB Master 接口
5. 共享 MCU 内部 RAM 访问接口

3 MCU 管脚说明

所有 MCU 接口均可灵活配置为任意 FPGA 外部 IO，或 FPGA 内部连接。

分类	管脚名称	方向	说明
时钟复位	CLK	Input	MCU 工作主时钟
	POR_n	Input	上电复位
	EXT_CPU_RST_n	Input	外部 CPU 复位，低有效
	JTRST_n	Input	JTAG 复位信号，低有效
UART Interface	UART_RXD	Input	UART 输入数据
	UART_CTS_n	Input	Clear To Send
	UART_TXD	Output	UART 输出数据
	UART_RTS_n	Output	Require To Send
JTAG Interface	JTCK	Input	JTAG 输入时钟
	JTDI	Input	JTAG 输入数据
	JTMS	Input	JTAG 模式输入
	JTDO	Output	JTAG 数据输出
RAM Access	EXT_RAM_EN	Input	RAM 使能信号，高有效
	EXT_RAM_WR	Input	写 RAM 使能信号，高有效
	EXT_RAM_ADDR[13:0]	Input	RAM 地址
	EXT_RAM_BYTE_EN[3:0]	Input	RAM 数据字节选择
	EXT_RAM_WDATA[31:0]	Input	RAM 写入数据
	EXT_RAM_RDATA[31:0]	Output	读 RAM 数据输出
FLASH	FLASH_BIAS[23:0]	Input	FLASH 偏移地址

	FLASH_SCK	Output	访问 FLASH 时钟
	FLASH_CS_n	Output	访问 FLASH 片选，低有效
	FLASH_IO0_SI	Output	FLASH 数据输入
	FLASH_IO1_SO	Output	
	FLASH_IO2_WPn	Output	FLASH 写保护信号，低有效
	FLASH_IO3_HOLDn	Output	FLASH 保持信号，低有效
	FLASH_IO0_SI_i	Input	
	FLASH_IO1_SO_i	Input	FLASH 数据输出到 MCU
	FLASH_IO2_WPn_i	Input	
	FLASH_IO3_HOLDn_i	Input	
	FLASH_SI_OE	Output	输出使能，高有效
	FLASH_SO_OE	Output	输出使能，高有效
	WPn_IO2_OE	Output	输出使能，高有效
	HOLDn_IO3_OE	Output	输出使能，高有效
Ext AHB Slave Interface	HRESP_EXT[1:0]	Input	
	HREADY_OUT_EXT	Input	
	HRDATA_EXT[31:0]	Input	
	HTRANS_EXT[1:0]	Output	
	HADDR_EXT[31:0]	Output	
	HWRITE_EXT	Output	
	HSEL_EXT	Output	
	HWDATA_EXT[31:0]	Output	
	HSIZE_EXT[2:0]	Output	
	HREADY_IN_EXT	Output	
GPIO	GPIO0_I[7:0]	Input	GPIO 8 位输入，根据 nGPEN0 实现按位选择
	GPIO1_I[7:0]	Input	GPIO 8 位输入，根据 nGPEN1 实现按位选择

	GPIO2_I[7:0]	Input	GPIO 8 位输入，根据 nGPEN2 实现按位选择
	GPIO0_O[7:0]	Output	GPIO 8 位输出，根据 nGPEN0 实现按位选择，高选择 GPIO 输入，低则 GPIO 输出总线信号
	GPIO0_1[7:0]	Output	GPIO 8 位输出，根据 nGPEN1 实现按位选择，高选择 GPIO 输入，低则 GPIO 输出总线信号
	GPIO0_2[7:0]	Output	GPIO 8 位输出，根据 nGPEN2 实现按位选择，高选择 GPIO 输入，低则 GPIO 输出总线信号
	nGPEN0[7:0]	Output	GPIO 8 位输出使能
	nGPEN1[7:0]	Output	GPIO 8 位输出使能
	nGPEN2[7:0]	Output	GPIO 8 位输出使能
	O_INI_IP	Output	高表明初始化 MCU 寄存器过程中，此时用户不对 MCU 进行操作

4 FPGA 配置说明

SSGK5 配置方式支持 JTAG，AS（Master）和 PS（Slave）方式，可通过 MSEL[2..0] 选择不同配置模式。

5 FPGA 外部管脚输出

EQFP176 封装底部 Pad 为 GND，管脚说明请见下表：

Bank	Pin Name	Function
B1	Pin_1	IO
B1	Pin_2	IO
B1	Pin_3	IO

B1	Pin_4	IO
B1	Pin_5	Ground
B1	Pin_6	IO
B1	Pin_7	VDDC Power 1.2V
B1	Pin_8	IO(DATA1,ASDO)
B1	Pin_9	IO(nCSO)
B1	Pin_10	IO
B1	Pin_11	nSTATUS
B1	Pin_12	Ground
B1	Pin_13	IO
B1	Pin_14	IO
B1	Pin_15	DCLK
B1	Pin_16	IO(DATA0)
B1	Pin_17	nCONFIG
B1	Pin_18	TDI
B1	Pin_19	TCK
B1	Pin_20	VDDIO1 Power 3.3V
B1	Pin_21	TMS
B1	Pin_22	TDO
B1	Pin_23	CLK1
B2	Pin_24	CLK2
B2	Pin_25	CLK3
B2	Pin_26	IO
B2	Pin_27	IO
B2	Pin_28	VDDIO2 Power 3.3V
B2	Pin_29	Ground
B2	Pin_30	VDDC Power 1.2V
B2	Pin_31	IO

B2	Pin_32	IO
B2	Pin_33	IO
B2	Pin_34	IO
B2	Pin_35	IO
B2	Pin_36	IO
B2	Pin_37	IO
B2	Pin_38	IO
B2	Pin_39	IO
B2	Pin_40	IO
B2	Pin_41	Ground
B2	Pin_42	IO
B2	Pin_43	PLL0 analog power 2.5V
B2	Pin_44	PLL0 digital ground
B2	Pin_45	PLL0 digital power 1.2V
B3	Pin_46	IO
B3	Pin_47	IO
B3	Pin_48	IO
B3	Pin_49	IO
B3	Pin_50	IO
B3	Pin_51	Ground
B3	Pin_52	IO
B3	Pin_53	IO
B3	Pin_54	VDDC Power 1.2V
B3	Pin_55	Ground
B3	Pin_56	IO
B3	Pin_57	IO
B3	Pin_58	IO
B3	Pin_59	IO

B3	Pin_60	IO
B3	Pin_61	IO
B3	Pin_62	IO
B3	Pin_63	IO
B3	Pin_64	IO
B3	Pin_65	IO
B3	Pin_66	VDDIO3 Power 3.3V
B3	Pin_67	IO
B3	Pin_68	Ground
B4	Pin_69	Ground
B4	Pin_70	IO
B4	Pin_71	VDDC Power 1.2V
B4	Pin_72	IO
B4	Pin_73	Ground
B4	Pin_74	IO
B4	Pin_75	IO
B4	Pin_76	IO
B4	Pin_77	IO
B4	Pin_78	IO
B4	Pin_79	IO
B4	Pin_80	IO
B4	Pin_81	IO
B4	Pin_82	VDDIO4 Power 3.3V
B4	Pin_83	IO
B4	Pin_84	Ground
B4	Pin_85	IO
B4	Pin_86	IO
B4	Pin_87	IO

B4	Pin_88	IO
B5	Pin_89	IO
B5	Pin_90	IO
B5	Pin_91	IO
B5	Pin_92	IO
B5	Pin_93	IO
B5	Pin_94	IO
B5	Pin_95	IO
B5	Pin_96	IO
B5	Pin_97	VDDC Power 1.2V
B5	Pin_98	IO
B5	Pin_99	Ground
B5	Pin_100	IO
B5	Pin_101	IO
B5	Pin_102	IO
B5	Pin_103	IO
B5	Pin_104	IO
B5	Pin_105	VDDIO5 Power 3.3V
B5	Pin_106	IO
B5	Pin_107	IO
B5	Pin_108	IO
B5	Pin_109	IO
B5	Pin_110	IO
B5	Pin_111	CLK7
B5	Pin_112	CLK6
B5	Pin_113	Ground
B6	Pin_114	CLK5
B6	Pin_115	CLK4

B6	Pin_116	CONF_DONE
B6	Pin_117	Ground
B6	Pin_118	MSEL1
B6	Pin_119	IO
B6	Pin_120	IO
B6	Pin_121	VDDC Power 1.2V
B6	Pin_122	IO
B6	Pin_123	Ground
B6	Pin_124	IO
B6	Pin_125	IO
B6	Pin_126	IO
B6	Pin_127	VDDIO6 Power 3.3V
B6	Pin_128	IO
B6	Pin_129	IO
B6	Pin_130	IO
B6	Pin_131	PLL1 analog power 2.5V
B6	Pin_132	PLL1 digital ground
B6	Pin_133	PLL1 digital power 1.2V
B7	Pin_134	IO
B7	Pin_135	IO
B7	Pin_136	IO
B7	Pin_137	IO
B7	Pin_138	Ground
B7	Pin_139	IO
B7	Pin_140	IO
B7	Pin_141	VDDC Power 1.2V
B7	Pin_142	IO
B7	Pin_143	IO

B7	Pin_144	IO
B7	Pin_145	Ground
B7	Pin_146	IO
B7	Pin_147	VDDIO7 Power 3.3V
B7	Pin_148	IO
B7	Pin_149	Ground
B7	Pin_150	Ground
B7	Pin_151	IO
B7	Pin_152	IO
B8	Pin_153	IO
B8	Pin_154	IO
B8	Pin_155	Ground
B8	Pin_156	IO
B8	Pin_157	IO
B8	Pin_158	IO
B8	Pin_159	IO
B8	Pin_160	IO
B8	Pin_161	VDDC Power 1.2V
B8	Pin_162	IO
B8	Pin_163	IO
B8	Pin_164	Ground
B8	Pin_165	IO
B8	Pin_166	IO
B8	Pin_167	VDDIO8 Power 3.3V
B8	Pin_168	IO
B8	Pin_169	Ground
B8	Pin_170	IO
B8	Pin_171	IO

B8	Pin_172	IO
B8	Pin_173	IO
B8	Pin_174	Ground
B8	Pin_175	IO
B8	Pin_176	IO

6 SDRAM 说明

内部 SDRAM 为 64Mbit (512K words × 4 banks × 32 bits) 容量。由于 SDRAM 为 3.3V 器件, FPGA 的 VCCIO 也需接 3.3V。

FPGA 的 IO 与 SDRAM 的内部连接, 请见下表:

Bank	SDRAM Finger	FPGA Pin Name	Function
B3	/CAS	SDRAM_CAS	IO
B4	/CS	SDRAM_CS	IO
B3	/RAS	SDRAM_RAS	IO
B3	/WE	SDRAM_WE	IO
B7	A0	SDRAM_A0	IO
B7	A1	SDRAM_A1	IO
B7	A2	SDRAM_A2	IO
B7	A3	SDRAM_A3	IO
B4	A4	SDRAM_A4	IO
B4	A5	SDRAM_A5	IO
B4	A6	SDRAM_A6	IO
B4	A7	SDRAM_A7	IO
B4	A8	SDRAM_A8	IO
B4	A9	SDRAM_A9	IO
B7	A10	SDRAM_A10	IO
B7	BA0	SDRAM_BA0	IO
B8	BA1	SDRAM_BA1	IO

B3	CKE	SDRAM_CKE	IO
B8	CLK	SDRAM_CLK	IO
B2	DQ0	SDRAM_DQ0	IO
B2	DQ1	SDRAM_DQ1	IO
B2	DQ2	SDRAM_DQ2	IO
B2	DQ3	SDRAM_DQ3	IO
B2	DQ4	SDRAM_DQ4	IO
B3	DQ5	SDRAM_DQ5	IO
B3	DQ6	SDRAM_DQ6	IO
B3	DQ7	SDRAM_DQ7	IO
B8	DQ8	SDRAM_DQ8	IO
B8	DQ9	SDRAM_DQ9	IO
B8	DQ10	SDRAM_DQ10	IO
B8	DQ11	SDRAM_DQ11	IO
B8	DQ12	SDRAM_DQ12	IO
B8	DQ13	SDRAM_DQ13	IO
B1	DQ14	SDRAM_DQ14	IO
B1	DQ15	SDRAM_DQ15	IO
B5	DQ16	SDRAM_DQ16	IO
B5	DQ17	SDRAM_DQ17	IO
B5	DQ18	SDRAM_DQ18	IO
B5	DQ19	SDRAM_DQ19	IO
B4	DQ20	SDRAM_DQ20	IO
B4	DQ21	SDRAM_DQ21	IO
B4	DQ22	SDRAM_DQ22	IO
B4	DQ23	SDRAM_DQ23	IO
B7	DQ24	SDRAM_DQ24	IO
B7	DQ25	SDRAM_DQ25	IO

B7	DQ26	SDRAM_DQ26	IO
B7	DQ27	SDRAM_DQ27	IO
B7	DQ28	SDRAM_DQ28	IO
B7	DQ29	SDRAM_DQ29	IO
B6	DQ30	SDRAM_DQ30	IO
B6	DQ31	SDRAM_DQ31	IO
B3	DQM0	SDRAM_DQM0	IO
B8	DQM1	SDRAM_DQM1	IO
B4	DQM2	SDRAM_DQM2	IO
B7	DQM3	SDRAM_DQM3	IO

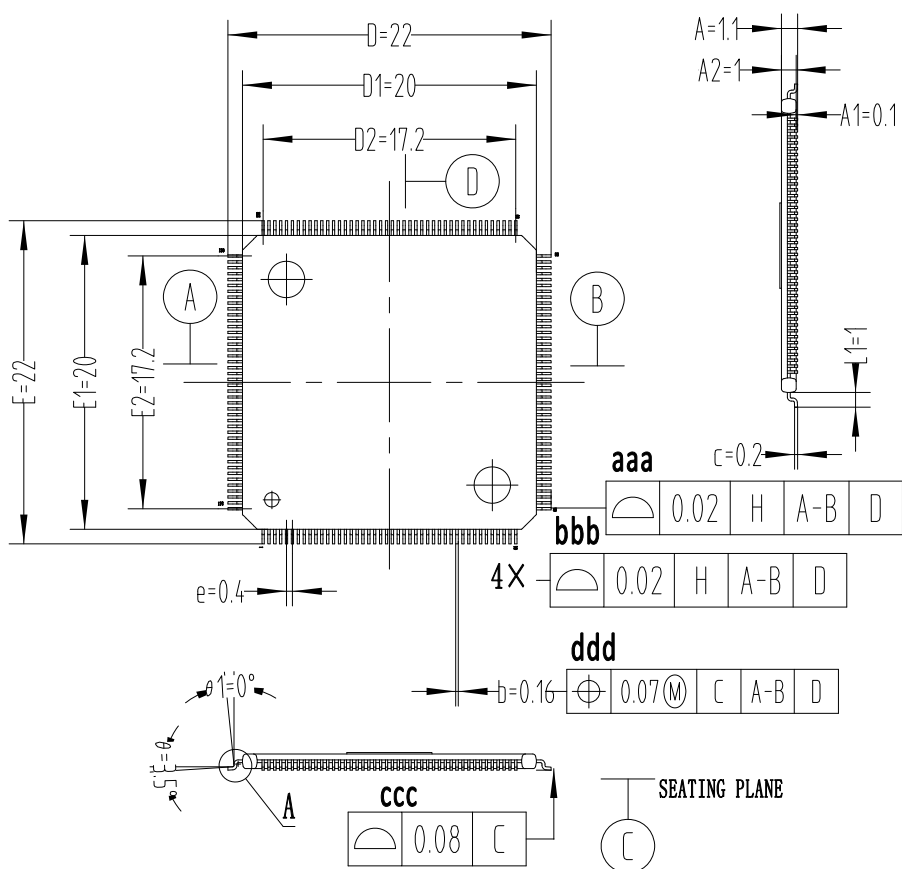
7 SSGK5 配置说明

SSGK5 配置方式支持 JTAG, AS (Master) 和 PS (Slave) 方式, 可通过 MSEL[2..0]选择。

其中 MSEL2 和 MSEL0 已在封装内接到 GND, 仅需把外部管脚 MSEL1 按照下表设置, 选择不同配置模式。

配置方式	MSEL1
AS	1
PS	0
JTAG	0/1

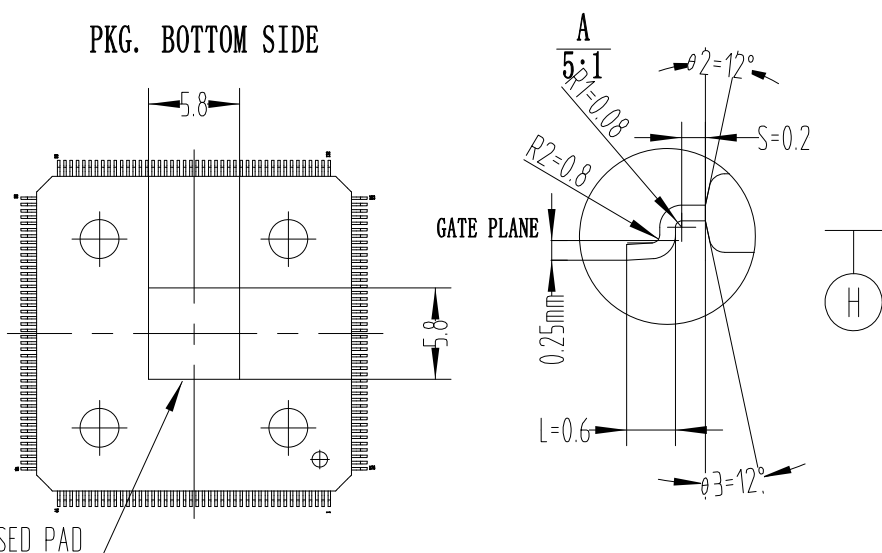
8 SSGK5 芯片封装图



CONTROL DIMENSIONS ARE IN MILLIMETERS.

SYMBOL	MILLIMETER			INCH		
	MIN	NOM	MAX	MIN	NOM	MAX
A	1.00	1.10	1.20	0.039	0.043	0.047
A1	0.05	0.1	0.15	0.002	0.004	0.006
A2	0.95	1.00	1.05	0.037	0.039	0.041
D	22.00 BSC.			0.866 BSC.		
D1	20.00 BSC.			0.787 BSC.		
E	22.00 BSC.			0.866 BSC.		
E1	20.00 BSC.			0.787 BSC.		
R2	0.08	—	0.20	0.003	—	0.008
R1	0.08	—	—	0.003	—	—
θ	0°	3.5°	7°	0°	3.5°	7°
$\theta 1$	0°	—	—	0°	—	—
$\theta 2$	11°	12°	13°	11°	12°	13°
$\theta 3$	11°	12°	13°	11°	12°	13°
C	0.09	—	0.20	0.004	—	0.008
L	0.45	0.60	0.75	0.018	0.024	0.030
L1	1.00 REF			0.039 REF		
S	0.20	—	—	0.008	—	—

PKG. BOTTOM SIDE



SYMBOL	176L					
	MILLIMETER			INCH		
	MIN	NOM	MAX	MIN	NOM	MAX
b	0.13	0.16	0.23	0.005	0.006	0.009
e	0.40 BSC.			0.016 BSC.		
D2	17.20			0.677		
E2	17.20			0.677		
TOLERANCES OF FORM AND POSITION.						
aaa	0.20			0.008		
bbb	0.20			0.008		
ccc	0.08			0.003		
ddd	0.07			0.003		